

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月29日
Date of Application:

出願番号 特願2002-251471
Application Number:

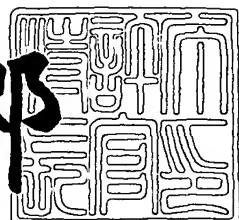
[ST. 10/C] : [JP 2002-251471]

出願人 株式会社デンソー
Applicant(s): 株式会社日本自動車部品総合研究所

2003年 7月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 PNID4106

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/00

【発明者】

【住所又は居所】 愛知県西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内

【氏名】 三摩 紀雄

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 坂下 尚広

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【特許出願人】

【識別番号】 000004695

【氏名又は名称】 株式会社日本自動車部品総合研究所

【代理人】

【識別番号】 100082500

【弁理士】

【氏名又は名称】 足立 勉

【電話番号】 052-231-7835

【手数料の表示】

【予納台帳番号】 007102

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ホスト側インターフェース装置、デバイス側インターフェース装置
、インターフェースシステム及びプログラム

【特許請求の範囲】**【請求項 1】**

ATA/ATAPI信号を送受信してホスト装置と通信する第1のインターフェースと、

ATA/ATAPI以外のプロトコル信号を送受信して前記ホスト装置以外の他の装置と通信する第2のインターフェースと、

信号を記憶する記憶手段を有する制御部と、

を備えるホスト側インターフェース装置であって、

前記制御部は、前記第1のインターフェースが信号を受信するとその信号を前記第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記第2のインターフェースに送信させ、逆に、前記第2のインターフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記第1のインターフェースに変換した信号を送信させると共に前記記憶手段に変換した信号を記憶し、その後は前記第2のインターフェースが信号を受信しなくても前記記憶手段に記憶した信号を前記ホスト装置からの指令に応じて前記第1のインターフェースに送信させることを特徴とするホスト側インターフェース装置。

【請求項 2】

ATA/ATAPI信号を送受信してデバイス装置と通信する第1のインターフェースと、

ATA/ATAPI以外のプロトコル信号を送受信して請求項1に記載のホスト側インターフェース装置と通信する第2のインターフェースと、

制御部と、

を備えるデバイス側インターフェース装置であって、

前記制御部は、前記第1のインターフェースが信号を受信するとその信号を前記第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイ

ミングで前記第2のインターフェースに送信させ、逆に、前記第2のインターフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記第1のインターフェースに変換した信号を送信させることを特徴とするデバイス側インターフェース装置。

【請求項3】

請求項1に記載のホスト側インターフェース装置と、

請求項2に記載のデバイス側インターフェース装置と、

を備えるインターフェースシステムであって、

前記ホスト側インターフェース装置の第2のインターフェースと前記デバイス側インターフェース装置の第2のインターフェースとは接続され、

前記ホスト側インターフェース装置の第1のインターフェースが信号を受信すると、前記ホスト側インターフェース装置の前記制御部は、受信した信号を前記ホスト側インターフェース装置の前記第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記ホスト側インターフェース装置の前記第2のインターフェースに送信させ、前記デバイス側インターフェース装置の前記第2のインターフェースがその信号を受信すると、前記デバイス側インターフェース装置の前記制御部は、受信した信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記デバイス側インターフェース装置の前記第1のインターフェースに変換した信号を送信させ、

逆に、前記デバイス側インターフェース装置の前記第1のインターフェースが信号を受信すると、前記デバイス側インターフェース装置の前記制御部は、受信した信号を前記デバイス側インターフェース装置の前記第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記デバイス側インターフェース装置の前記第2のインターフェースに送信させ、前記ホスト側インターフェース装置の前記第2のインターフェースがその信号を受信すると、前記ホスト側インターフェース装置の前記制御部は、受信した信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記ホスト側インターフェース装置の前記第1のインターフェースに変換した信号を送信させると共に変換した信号を前記記憶手段に記憶し、その後は前記ホスト側インターフェース装置の前記第2のイン

タフェースが信号を受信しなくても前記記憶手段に記憶した信号を前記ホスト装置からの指令に応じて前記ホスト側インターフェース装置の前記第1のインターフェースに送信させることを特徴とするインターフェースシステム。

【請求項4】

コンピュータに、

ATA/ATAPI信号を送受信してホスト装置と通信する第1のインターフェースが信号を受信するとその信号を、ATA/ATAPI以外のプロトコル信号を送受信して前記ホスト装置以外の他の装置と通信する第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記第2のインターフェースに送信させる機能、

前記第2のインターフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記第1のインターフェースに変換した信号を送信させると共に記憶手段に変換した信号を記憶させ、その後は前記第2のインターフェースが信号を受信しなくても前記記憶手段に記憶させた信号を前記ホスト装置からの指令に応じて前記第1のインターフェースに送信させる機能を実現させるためのプログラム。

【請求項5】

コンピュータに、

ATA/ATAPI信号を送受信してデバイス装置と通信する第1のインターフェースが信号を受信するとその信号を、ATA/ATAPI以外のプロトコル信号を送受信して請求項1に記載のホスト側インターフェース装置と通信する第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記第2のインターフェースに送信させる機能、

前記第2のインターフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記第1のインターフェースに変換した信号を送信させる機能を実現させるためのプログラム。

【請求項6】

ホスト側インターフェース装置と、デバイス側インターフェース装置とを備えた車両用のインターフェースシステムであって、

前記ホスト側インターフェース装置がホスト装置からA T A / A T A P I 信号を受信すると、前記ホスト側インターフェース装置はその信号を他のプロトコル信号に変換して前記デバイス側インターフェース装置に送信し、前記デバイス側インターフェース装置が前記ホスト側インターフェース装置から前記他のプロトコル信号を受信すると、前記デバイス側インターフェース装置はその信号をA T A / A T A P I 信号に変換してデバイス装置に送信し、

逆に、前記デバイス側インターフェース装置がデバイス装置からA T A / A T A P I 信号を受信すると、前記デバイス側インターフェース装置はその信号を他のプロトコル信号に変換して前記ホスト側インターフェース装置に送信し、前記ホスト側インターフェース装置が前記デバイス側インターフェース装置から前記他のプロトコル信号を受信すると、前記ホスト側インターフェース装置はその信号をA T A / A T A P I 信号に変換してホスト装置に送信することを特徴とする車両用のインターフェースシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

A T A / A T A P I インターフェースを備えた装置間を接続するインターフェース装置等に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】

近年、例えばカーナビゲーションシステムにおける地図データ等の情報記憶媒体としてC D - R O MやD V D - R O Mが一般的に用いられている。そして、C D - R O MドライブやD V D - R O Mドライブとカーナビゲーションシステムの本体装置とは、A T A P I インターフェースと呼ばれるA N S Iで標準化されたインターフェース規格によって接続されることが一般的である。

【0003】

ところが、このA T A P I インターフェースの規格では、C D - R O MドライブやD V D - R O Mドライブのようなデバイス装置と、ナビゲーション装置の本体装置のようなホスト装置とは、0. 4 6 m以内の長さのケーブルで結ばれる必要

がある。そのため、ホスト装置とデバイス装置との設置については、十分に位置関係を考慮する必要がある。また、CD-ROMドライブやDVD-ROMドライブに加えてハードディスクを使用する場合もあるが、ハードディスクの場合に使用するATAインターフェースについても同様の制限があり、設置については十分に位置関係を考慮する必要がある。

【0004】

このような理由から、カーナビゲーションシステムの場合は、本体装置とCD-ROMドライブやDVD-ROMドライブとを近接させ、ディスプレイ装置を切り離してケーブルで接続する方法が採られる場合が多い。しかし、この方法では映像信号（例えばR、G、B、Vsync、Hsync、DotClock等）を伝送させるために多くのケーブルが必要となり、車両全体のケーブルの増大やケーブルの取り回しによる画質の劣化をもたらしていた。また、CD-ROMドライブやDVD-ROMドライブは、他の装置に比べて比較的大きな装置であるためトランク等のようなディスプレイ装置や本体装置とは離れた場所に設置したいという要望もあった。

【0005】

本発明は、このような問題に鑑みなされたものであり、ATA/ATAPIインターフェースを採用するホスト装置とデバイス装置との間の接続可能距離を延ばし、ホスト装置とデバイス装置の配置の自由度を上げることができるホスト側インターフェース装置やデバイス側インターフェース装置等を提供することを目的とする。

【0006】

【課題を解決するための手段及び発明の効果】

上記課題を解決するためになされた請求項1に記載のホスト側インターフェース装置の制御部は以下のように動作する。第1のインターフェースがホスト装置からATA/ATAPI信号を受信すると、その信号を第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインターフェースに送信させる。逆に、第2のインターフェースがホスト装置ではない他の装置からATA/ATAPI信号以外のプロトコル信号を受信すると、その信号をAT

A/ATAPI信号に変換し、信号を変換すると変換した信号を所定のタイミングで第1のインターフェースに送信させると共に変換した信号を記憶手段に記憶し、その後は第2のインターフェースが信号を受信しなくとも記憶手段に記憶した信号をホスト装置からの指令に応じて第1のインターフェースに送信させる。尚、所定のタイミングというのは、通信に使用されるプロトコルの規定にしたがったタイミングを意味する。また、記憶手段が記憶する信号としては、例えばステータス情報が考えられる。

【0007】

また、このようなホスト側インターフェース装置に対応したデバイス側インターフェース装置としては請求項2に記載のような制御部を備えたデバイス側インターフェース装置であるとよい。すなわち、第1のインターフェースがデバイス装置からATA/ATAPI信号を受信するとその信号を第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインターフェースに送信させる。逆に、第2のインターフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで第1のインターフェースに変換した信号を送信させる。尚、所定のタイミングというのは、通信に使用されるプロトコルの規定にしたがったタイミングを意味する。

【0008】

そして、このようなホスト側インターフェース装置とデバイス側インターフェース装置とを組み合わせて用いる場合は、請求項3に記載のようなインターフェースシステムとして用いるとよい。すなわち、ホスト側インターフェース装置の第1のインターフェースがホスト装置からATA/ATAPI信号を受信すると、ホスト側インターフェース装置の制御部が、受信した信号をホスト側インターフェース装置の第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングでホスト側インターフェース装置の第2のインターフェースに送信させる。そして、デバイス側インターフェース装置の第2のインターフェースがその信号を受信すると、デバイス側インターフェース装置の制御部は、受信した信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングでデバイス側インターフェース装置の第1のインターフェースに変換した信号を送信させる。

【0009】

また、デバイス側インターフェース装置の第1のインターフェースがデバイス装置からATA/ATAPI信号を受信すると、デバイス側インターフェース装置の制御部が、受信した信号をデバイス側インターフェース装置の第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングでデバイス側インターフェース装置の第2のインターフェースに送信させる。そして、ホスト側インターフェース装置の第2のインターフェースがその信号を受信すると、ホスト側インターフェース装置の制御部は、受信した信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで変換した信号をホスト側インターフェース装置の第1のインターフェースに送信させる。そして更に、変換した信号を記憶手段に記憶し、その後はホスト側インターフェース装置の第2のインターフェースから信号を受信しなくても記憶手段に記憶した信号をホスト装置からの指令に応じてホスト側インターフェース装置の第1のインターフェースに送信させる。

【0010】

このように本インターフェースシステムは、ATA/ATAPI信号を他のプロトコル信号に変換して通信を行うため、その通信にATA/ATAPI信号より装置間の接続距離が長いプロトコルを用いれば、装置間の接続距離を延ばすことができる。そして、ホスト側インターフェース装置の第2のインターフェースがデバイス側インターフェース装置の第2のインターフェースから信号を受信できなくても、ホスト側インターフェース装置の制御部は、記憶手段に記憶した信号をホスト側インターフェース装置の第1のインターフェースを介してホスト装置に送信する。このためホスト装置に対して信号が正常に受信できているように見せることができる。つまり、ホスト側インターフェース装置の第2のインターフェースとデバイス側インターフェース装置の第2のインターフェースとを介してやりとりされる信号の許容可能な遅延時間が大きくなり、ホスト側インターフェース装置の第2のインターフェースとデバイス側インターフェース装置の第2のインターフェースとの間の接続距離を延ばしてもATA/ATAPI信号の通信を正常に行うことができる。したがって、ホスト装置及びデバイス装置の配置の自由度を上げることができる。

【0011】

ところで、請求項4に記載のように、プログラムを用いてコンピュータに以下のような機能を実現させるようにしてもよい。つまり、第1のインターフェースが信号を受信するとその信号を、第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインターフェースに送信させる機能。そして、第2のインターフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで第1のインターフェースに変換した信号を送信させると共に記憶手段に変換した信号を記憶させ、その後は第2のインターフェースが信号を受信しなくても記憶手段に記憶させた信号をホスト装置からの指令に応じて第1のインターフェースに送信させる機能である。

【0012】

また、請求項5に記載のように、プログラムを用いてコンピュータに以下のような機能を実現させるようにしてもよい。つまり、第1のインターフェースが信号を受信するとその信号を、第2のインターフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインターフェースに送信させる機能。そして、第2のインターフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで第1のインターフェースに変換した信号を送信させる機能である。

【0013】

このようなプログラムは、磁気ディスク、光磁気ディスク、メモリカード等のコンピュータが読み取り可能な記録媒体に記録し、必要に応じてコンピュータにロードして起動することにより用いることができる。また、ネットワークを介してロードして起動することにより用いることもできる。したがって、機能アップ等を容易に行うことができる。

【0014】

また、請求項6に記載のような、ホスト側インターフェース装置と、デバイス側インターフェース装置とを備えた車両用のインターフェースシステムも考えられる。

このようにATA/ATAPI信号を他のプロトコル信号に変換させて伝送するため、ATA/ATAPI信号より装置間の接続距離を長くすることができるプロトコルを用いるようにすれば、ホスト装置とデバイス装置との間の接続距離

を延ばすことができる。したがって、ホスト装置及びデバイス装置の配置の自由度を上げることができる。

【0015】

尚、例えばカーナビゲーションシステムの場合について言えば、デバイス装置に相当するCD-ROMドライブやDVD-ROMドライブ等と、ホスト装置に相当する本体装置とを離し、本体装置をよりディスプレイ装置に近づけることができる。その結果、映像信号を伝送させるためのケーブルを短くさせて、車両全体のケーブルの増大やケーブルの取り回しによる画質の劣化を減少させることができる。

【0016】

【発明の実施の形態】

以下、本発明が適用された実施例について図面を用いて説明する。尚、本発明の実施の形態は、下記の実施例に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の形態を探りうることは言うまでもない。

【0017】

図1は実施例の車両用DVD再生システムの概略構成図である。本DVD再生システムは、DVDドライブ1と、デバイス側インターフェース装置3と、ホスト側インターフェース装置5と、MPEG2デコーダ7と、ディスプレイ9とを備える。

【0018】

DVDドライブ1は、ATAPIインターフェースを備えた一般的なDVDドライブであり、本発明のデバイス装置に相当する。

デバイス側インターフェース装置3は、プロトコル変換等を行うインターフェース装置であり、ATAPIインターフェース（第1のインターフェースに相当）と高速LANインターフェース（第2のインターフェースに相当）とを備える。ATAPIインターフェースはDVDドライブ1のATAPIインターフェースに接続され、高速LANインターフェースは後述するホスト側インターフェース装置5に接続される。

【0019】

ホスト側インターフェース装置5は、プロトコル変換等を行うインターフェース装置であり、ATAPIインターフェース（第1のインターフェースに相当）と高速LANインターフェース（第2のインターフェースに相当）とを備える。ATAPIインターフェースは後述するMPEG2デコーダ7のATAPIインターフェースに接続され、高速LANインターフェースはデバイス側インターフェース装置3に接続される。

【0020】

MPEG2デコーダ7は、MPEG2データをデコードして後述するディスプレイ9に映像を表示させるための映像信号に変換する。また、ホストインターフェース装置と通信をするATAPIインターフェースと、ディスプレイ9に映像信号を供給する映像信号出力インターフェースとを備える。

【0021】

ディスプレイ9は、映像信号入力インターフェースと映像を表示する表示部とを備え、映像信号入力インターフェースを介してMPEG2デコーダ7から受け取った映像信号を表示部に表示する。表示部は例えば、LCDやCRT等から構成される。

【0022】

次に、ホスト側インターフェース装置5の内部構造について、図2のブロック図を用いて説明する。

ホスト側インターフェース装置5は主に、ATAPIバスコントローラ11、PIO送信レジスタ13、PIO受信レジスタ15、ATAPI制御レジスタ17、CPUバスコントローラ19、CPU21、LAN送信レジスタ25、LAN受信レジスタ27、LAN制御レジスタ29、DMA受信レジスタ31及びLANバスコントローラ33を備える。

【0023】

ATAPIバスコントローラ11は、PIO送信レジスタ13、PIO受信レジスタ15、ATAPI制御レジスタ17及びDMA受信レジスタ31と通信をすると共に、ATAPIケーブル35を介してMPEG2デコーダ7に接続され、そのATAPIケーブル35上の通信をコントロールする。

【0024】

PIO送信レジスタ13は、ATAPIバスコントローラ11とCPUバスコントローラ19との間に設置され、ステータスを保持するステータスレジスタとデータを保持するデータレジスタとを備える。尚、PIO送信レジスタ13は FIFO構造となっている。また、PIO送信レジスタ13は、特許請求の範囲の請求項1における記憶手段に相当する。

【0025】

PIO受信レジスタ15は、ATAPIバスコントローラ11とCPUバスコントローラ19との間に設置され、コマンドを保持するコマンドレジスタとデータを保持するデータレジスタとを備える。尚、PIO受信レジスタ15は FIFO構造となっている。

【0026】

ATAPI制御レジスタ17は、ATAPIバスコントローラ11とCPUバスコントローラ19との間に設置され、ATAPI通信を制御するためのレジスタである。

CPUバスコントローラ19は、PIO送信レジスタ13、PIO受信レジスタ15、ATAPI制御レジスタ17、CPU21、LAN送信レジスタ25、LAN受信レジスタ27及びLAN制御レジスタ29の間の通信を制御する。

【0027】

CPU21は、リアルタイムにATAPIプロトコルと高速LANプロトコルとを相互に変換できる程度の処理能力を持ったCPUであり、ホスト側インターフェース装置5の各部をプログラムに基づいて統括的に制御する。

LAN送信レジスタ25は、CPUバスコントローラ19とLANバスコントローラ33との間に設置され、CPUバスコントローラ19からデータを受け取ると一旦そのデータを記憶し、LANバスコントローラ33からの指令によって記憶したデータをLANバスコントローラ33に送る。

【0028】

LAN受信レジスタ27は、CPUバスコントローラ19とLANバスコントローラ33との間に設置され、LANバスコントローラ33からデータを受け取

ると一旦そのデータを記憶し、CPUバスコントローラ19からの指令によって記憶したデータをCPUバスコントローラ19に送る。

【0029】

LAN制御レジスタ29は、CPUバスコントローラ19とLANバスコントローラ33との間に設置され、高速LAN通信を制御するためのレジスタである。

LANバスコントローラ33は、LAN送信レジスタ25、LAN受信レジスタ27、LAN制御レジスタ29及びDMA受信レジスタ31と通信をすると共に、LANケーブル37を介してデバイス側インタフェース装置3に接続され、そのLANケーブル37上の通信をコントロールする。

【0030】

DMA受信レジスタ31は、CPU21を介さずにLANバスコントローラ33からATAPIバスコントローラ11へデータを転送（いわゆるDMA転送）するときに使用するレジスタである。DMA受信レジスタ31はFIFO構造となっている。

【0031】

尚、PIO送信レジスタ13、PIO受信レジスタ15、ATAPI制御レジスタ17、CPUバスコントローラ19、CPU21、LAN送信レジスタ25、LAN受信レジスタ27及びLAN制御レジスタ29が特許請求の範囲の請求項1における制御部に相当する。

【0032】

次に、デバイス側インタフェース装置3の内部構造について、図3のブロック図を用いて説明する。デバイス側インタフェース装置3はホスト側インタフェース装置7に類似しているため相違点を中心に説明する。

デバイス側インタフェース装置3は、主に、ATAPIバスコントローラ41、ATAPI制御レジスタ43、CPUバスコントローラ45、CPU47、LAN送信レジスタ51、LAN受信レジスタ53、LAN制御レジスタ55、LANバスコントローラ59及びDMA送信レジスタ57を備える。

【0033】

ATAPIバスコントローラ41は、ATAPI制御レジスタ43及びDMA送信レジスタ57と通信をすると共に、ATAPIケーブル61を介してDVDドライブ1に接続され、そのATAPIケーブル61上の通信をコントロールする。

【0034】

ATAPI制御レジスタ43は、ATAPIバスコントローラ41とCPUバスコントローラ45との間に設置され、ATAPI通信を制御するためのレジスタである。

CPUバスコントローラ45は、ATAPI制御レジスタ43、CPU47、LAN送信レジスタ51、LAN受信レジスタ53及びLAN制御レジスタ55の間の通信を制御する。

【0035】

CPU47、LAN送信レジスタ51、LAN受信レジスタ53、LAN制御レジスタ55、LANバスコントローラは、それぞれ図2を参照して説明したホスト側インターフェース装置5のCPU21、LAN送信レジスタ25、LAN受信レジスタ27、LAN制御レジスタ29、LANバスコントローラ33と同様である。

【0036】

DMA送信レジスタ57は、CPU47を介さずにATAPIバスコントローラ41からLANバスコントローラ59へデータを転送（いわゆるDMA転送）するときに使用するレジスタである。DMA送信レジスタ57はFIFO構造となっている。

【0037】

尚、ATAPI制御レジスタ43、CPUバスコントローラ45、CPU47、LAN送信レジスタ51、LAN受信レジスタ53及びLAN制御レジスタ55が特許請求の範囲の請求項2における制御部に相当する。

次に、ホスト側インターフェース装置5の主な動作について説明する。本DVD再生システムでは、ホスト装置であるMPEG2デコーダ7からの指令に従って動作する。

【0038】

(1) ATAPIコマンド受信処理

ATAPIバスコントローラ11は、MPEG2デコーダ7からレジスタ情報(Device Control、Feature、Sector Count、Sector Number、Byte Count LSB、Byte Count MSB、Device/Head、Command)を受け取ると、一旦PIO受信レジスタ15に保存させる。ATAPIバスコントローラ11は、PIO受信レジスタ15がレジスタ情報の保存を完了すると、ATAPI制御レジスタ17にある割り込みフラグを立ててCPU21に完了を通知すると共に、BSYフラグ(アクセス禁止フラグ)を立ててCPU21が動作中であることをMPEG2デコーダ7に知らせる。

【0039】

通知を受けたCPU21は、CPUバスコントローラ19を介してPIO受信レジスタ15からコマンドやステータス情報を読み込み、そのコマンドに応じた処理、例えば高速LANのコマンドに変換して後述するLANコマンド・LANパケットデータ送信処理等を行う。

【0040】

(2) ATAPIパケットデータ受信処理

ATAPIバスコントローラ11は、MPEG2デコーダ7からATAPIパケットデータを受け取ると、一旦PIO受信レジスタ15に保存させる。ATAPIバスコントローラ11は、6ワード受信した段階でATAPI制御レジスタ17にある割り込みフラグを立ててCPU21に受信完了を通知すると共に、BSYフラグを立ててCPU21が動作中であることをMPEG2デコーダ7に知らせる。

【0041】

通知を受けたCPU21は、CPUバスコントローラ19を介してPIO受信レジスタ15からパケットデータを読み込み、PIO受信レジスタ15から全てのパケットデータを読み込むと前述の割り込みフラグとBSYフラグを解除させる。尚、ATAPIバスコントローラ11からPIO受信レジスタ15へのパケットデータの書き込み動作と、PIO受信レジスタ15からCPUバスコントローラ19へのパケットデータの読み込み動作は、並行して実行される。

ーラ19を介してCPU21への読み込み動作は、PIO受信レジスタ15が FIFO構造であるため同時にを行うことができる。

【0042】

パケットデータを受信したCPU21はパケットデータを解析し、高速LANのパケットに変換する等して、後述するLANコマンド・パケットデータ送信処理を行う。

(3) ATAPIステータス送信処理

ホスト側インターフェース装置5は、デバイス側インターフェース装置3を介してDVDドライブ1のレジスタ情報(Alt.Status、Error、Interrupt Reason、Sector Number、Byte Count LSB、Byte Count MSB、Device/Head、Status)を受け取るとPIO送信レジスタ13にその情報を書き込む。そのため、MPEG2デコーダ7がホスト側インターフェース装置5に対してDVDドライブ1のレジスタ情報を問い合わせると、ホスト側インターフェース装置5は、PIO送信レジスタ13に書き込んだレジスタ情報をMPEG2デコーダ7にATAPIバスコントローラ11を介して送信する。

【0043】

(4) ATAPIパケットデータ送信処理

まずCPU21は、CPUバスコントローラ19を介してPIO送信レジスタ13にパケットデータを格納させる。そして、CPU21はCPUバスコントローラ19を通じてATAPI制御レジスタ17のBSYフラグをクリアすると共にDRQ(データリクエスト)フラグをセットする。

【0044】

続いて、ATAPIバスコントローラ11がPIO送信レジスタ13からパケットデータを読み出してMPEG2デコーダ7に対して送信を行う。全てのデータを送信し終えるとATAPIバスコントローラ11は、BSYフラグをセット、DRQフラグをクリアする。

【0045】

(5) ATAPIストリームデータ送信処理

LANバスコントローラ33がストリームデータを受信するとDMA受信レジ

スター31に送信し、DMA受信レジスタ31は一旦受け取ったストリームデータを保持する。CPU21によりATAPI制御レジスタ17のDMA許可フラグがセットされると共に、ATAPIバスコントローラ11を通じてMPEG2デコーダ7にDMAREQ信号（DMA転送開始要求信号）が送信される。その後、ATAPIバスコントローラ11は、DMA受信レジスタ31からストリームデータを読み出して、MPEG2デコーダ7に送信する。全てのデータを読み出すと、ATAPIバスコントローラ11は、MPEG2デコーダ7へのDMAREQ信号を解除してストリームデータの送信処理を停止する。

【0046】

(6) LANコマンド・LANパケットデータ送信処理

まず、CPU21がCPUバスコントローラ19を介してLAN送信レジスタ25に送信コマンド又は送信パケットデータを書き込む。続いてLANバスコントローラ33が、高速LANのプロトコルに準じたタイミングでコマンド又はパケットデータを送信する。LANバスコントローラ33は、コマンド又はパケットデータの送信を完了すると、LAN制御レジスタ29に完了した旨のフラグを立てて、CPUバスコントローラ19を通じてCPU21に通知する。

【0047】

(7) LANコマンド・LANパケットデータ受信処理

LANバスコントローラ33がコマンド又はパケットデータを受信すると、LAN制御レジスタ29にある割り込みフラグをセットし、LAN受信レジスタ27がコマンド又はパケットデータを格納する。CPU21はCPUバスコントローラ19を通じてLAN制御レジスタ29の割り込みフラグを確認すると、CPUバスコントローラ19を介してLAN受信レジスタ27からコマンド又はパケットデータを読み出す。

【0048】

(8) LANストリームデータ受信処理

LANストリームデータの受信は、プロトコルに準じた単位バイトのストリームデータをLANバスコントローラ33が受信すると、DMA受信レジスタ31に転送し、LAN制御レジスタ29とCPUバスコントローラ19とを経由して

CPU21に転送した旨を通知する。その後は、CPU21が前述したATAPIストリームデータ送信処理にしたがってATAPIバスコントローラ11に、DMA受信レジスタ31からストリームデータを読み出させ、MPEG2デコーダ7にストリームデータを送信する。

【0049】

次に、デバイス側インターフェース装置3の主な動作について説明する。

(1) ATA命令・ATAPIパケットデータ送信処理

ATAPI命令及びATAPIパケットデータのDVDドライブ1への送信は、CPU47からCPUバスコントローラ45及びATAPIバスコントローラ41を経由してDVDドライブ1に遅延なく（レジスタを経由することなく）送信される。ATAPI制御レジスタ43は、ATAPI通信の状態を確認するため等に用いられる。

【0050】

(2) ATA命令・ATAPIパケットデータ受信処理

ATAPIバスコントローラ41がDVDドライブ1からATAPIステータス（レジスタ情報）又はATAPIパケットデータを受信すると、ATAPIバスコントローラ41は、DVDドライブ1からATAPIバスコントローラ41及びCPUバスコントローラ45を経由してATAPIステータス又はATAPIパケットデータをCPU47に送信する。CPU47は、ATAPIバスコントローラ41から遅延なく（レジスタを経由することなく）ATAPIステータス又はATAPIパケットデータを受信する。

【0051】

(3) ATA命令ストリームデータ受信処理

CPU47がCPUバスコントローラ45を通じてATAPI制御レジスタ43のDMA許可フラグをセットした状態で、ATAPIバスコントローラ41がDVDドライブ1からのDMAREQを検知すると、ATAPIバスコントローラ41はATAPIストリームデータの受信を開始する。ATAPIバスコントローラ41は、ATAPIストリームデータを受信するとDMA送信レジスタ57に送信し、DMA送信レジスタ57がATAPIストリームデータを一旦格納す

る。ATAPIバスコントローラ41は、ATAPIストリームデータの受信を完了するとATAPI制御レジスタ43のATAPIストリームデータ完了フラグをセットしてCPU47に完了を通知する。

【0052】

(4) LANコマンド・LANパケット送受信処理

本処理は、上述したホスト側インターフェース装置5のLANコマンド・LANパケットデータ送信処理及びLANコマンド・LANパケット受信処理と同様の手順であり、対応するバスコントローラやレジスタが同様に機能する。

【0053】

(5) LANストリームデータ送信処理

CPU47がCPUバスコントローラ45を介してLAN制御レジスタ55のLANストリームデータ送信開始フラグをセットすると、LANバスコントローラ59が、DMA送信レジスタ57に格納されたストリームデータを読み出して高速LANのプロトコルに準じたタイミングでホスト側インターフェース装置5に送信する。LANバスコントローラ59は、送信が完了するとLAN制御レジスタ55のLANストリームデータ送信完了フラグをセットしてCPU47に完了を通知する。

【0054】

次に、MPEG2デコーダ7がREADコマンドを発行する際の動作を例に挙げて全体の動作を説明する。尚、説明には図4のタイムチャートを用いて説明する。

まず、ホスト側インターフェース装置5が以前取得して保持しているDVDドライブ1の状態(S100)を、MPEG2デコーダ7が読み出す(S105)。ここで言う「以前取得して保持しているDVDドライブ1の状態」というのは、前述したホスト側インターフェース装置13のPIO送信レジスタ13のステータスレジスタに保持されているレジスタ情報を意味する。

【0055】

MPEG2デコーダ7は、読み出したDVDドライブ1の状態がATAPIコマンドを発行可能な状態であることを確認してATAPIコマンドをDVDド

イブ1に対して発行する（S110）。このATAPIコマンドは、次に送るパケットデータがコマンドである旨のATAPIコマンドである。

【0056】

ホスト側インターフェース装置5は、一旦PIO受信レジスタ15のコマンドレジスタにATAPIコマンドを記憶し、所定のタイミングでDVDドライブ1に向けて送信する（S112）。

前述のコマンドを受信したDVDドライブ1は、当該コマンドを解釈した後、状態フラグを変更し、変更を完了した旨の情報をMPEG2デコーダ7に送信する（S115）。しかし、MPEG2デコーダ7が前述のコマンドを発行してから状態の変更を完了した旨の情報がMPEG2デコーダ7に届くまでには、ATAPI規格で定められた400ナノ秒以上時間がかかってしまうためそのままではエラーになってしまふ。そのため、ホスト側インターフェース装置5は、以前取得して保持しているDVDドライブ1の状態を基にした仮の状態（S120）をMPEG2デコーダ7に送信し、MPEG2デコーダ7はその状態データを受信する（S125）。この受信動作は一定間隔で繰り返され（図4では一回のみしか記していない）、DVDドライブ1から状態の変更を完了した旨の情報がホスト側インターフェース装置5に届いてDVDドライブ1の状態情報が変更され（S130）、その変更された状態情報をMPEG2デコーダ7が読み出すまで（S135）続けられる。

【0057】

MPEG2デコーダ7は、状態変更が完了した旨の情報を確認するとREADコマンドを発行する（S140）。ホスト側インターフェース装置5は、READコマンドを含むパケットデータを一旦データレジスタに保持し、所定のタイミングでデバイス側インターフェース装置3に送信する（S142）。READコマンドを含むパケットデータを受信したデバイス側インターフェース装置3はDVDドライブ1に送信する。

【0058】

READコマンドを含むパケットデータを受信したDVDドライブ1は、コマンドを解釈した後、データ転送の準備を行い、準備が完了した時点で準備が完了

した旨の情報を表すフラグを更新し、その情報をMPEG2デコーダ7に送信する（S145）。

【0059】

しかし、MPEG2デコーダ7がREADコマンドを発行してから準備が完了した旨の情報がMPEG2デコーダ7に届くまでには、ATAPI規格で定められた400ナノ秒以上かかるため、S120～S135で説明したときと同様にMPEG2デコーダ7は仮の状態情報をホスト側インターフェース装置5から受け取ることによって待ち続け、準備が完了した旨の情報を受信した時点で次の処理に移る（S150～S165）。

【0060】

DVDドライブ1は、データの転送準備が完了した旨の情報をMPEG2デコーダ7に送信すると、続けてデータの読み出し及び送信を開始する（S170）。データを受信したホスト側インターフェース装置5は、データレジスタに一旦データを保持して所定のタイミングでMPEG2デコーダ7に送信し（S172）、MPEG2デコーダ7はデータを取り込む（S175）。

【0061】

その後、DVDドライブ1はデータを全て転送し終えると、転送が終了した旨の情報をMPEG2デコーダ7に送信し、状態フラグを初期化し、待機状態に移行する。

これまで説明したようなホスト側インターフェース装置5とデバイス側インターフェース装置3とを用いることにより次のような効果が得られる。ホスト側インターフェース装置5とデバイス側インターフェース装置3とは、ATAPI信号を高速LANのプロトコル信号に変換して通信を行うため、ATAPI規格では0.46mであった装置間の接続可能距離を当該高速LANの規格で定められた距離まで延ばすことができる。また、ホスト側インターフェース装置5にPIO送信レジスタ13のようなATAPI規格のタイミングを維持するための仕組みを設けたため、DVDドライブ1及びMPEG2デコーダ7は特別な仕組み及び動作を行うことなくATAPI通信を行うことができる。

【0062】

したがって、ホスト側インターフェース装置5とデバイス側インターフェース装置3とを用いることにより、DVDドライブ1及びMPEG2デコーダ7の配置の自由度を上げることができる。

以下、他の実施例について説明する。

【0063】

(1) 上記実施例はデバイス装置としてDVDドライブ1を用いたが、ハードディスクを用い、デバイス側インターフェース装置3及びホスト側インターフェース装置5もATA規格の通信にも対応できるように構成させてもよい。このようにすればハードディスクを用いた場合についても同様の効果が得られる。

【0064】

(2) 上記実施例ではDVD再生システムに本発明を適用させて説明したが、カーナビゲーションシステムのDVD-ROMドライブ(CD-ROMドライブ)と本体装置との間の通信に適用させてもよい。このようにすれば、DVD-ROMドライブ(CD-ROMドライブ)及び本体装置の設置の自由度を上げることができる。

【図面の簡単な説明】

【図1】DVD再生システムの概略構成を示すブロック図である。

【図2】ホスト側インターフェース装置の内部構成を示すブロック図である。

【図3】デバイス側インターフェース装置の内部構成を示すブロック図である。

【図4】MPEG2デコーダがRAEDコマンドを発行した際の動作推移を表すタイムチャートである。

【符号の説明】

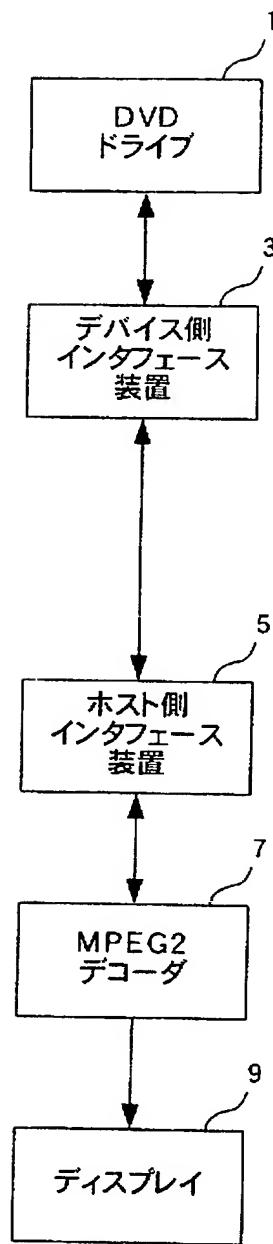
1…DVDドライブ、3…デバイス側インターフェース装置、5…ホスト側インターフェース装置、7…MPEG2デコーダ、9…ディスプレイ装置、11…ATAPIバスコントローラ、13…PIO送信レジスタ、15…PIO受信レジスタ、17…ATAPI制御レジスタ、19…CPUバスコントローラ、21…CPU、25…LAN送信レジスタ、27…LAN受信レジスタ、29…LAN制御レジスタ、31…DMA受信レジスタ、33…LANバスコントローラ、41…ATAPIバスコントローラ、43…ATAPI制御レジスタ、45…CPU

バスコントローラ、47…CPU、51…LAN送信レジスタ、53…LAN受信レジスタ、55…LAN制御レジスタ、57…DMA送信レジスタ、59…LANバスコントローラ。

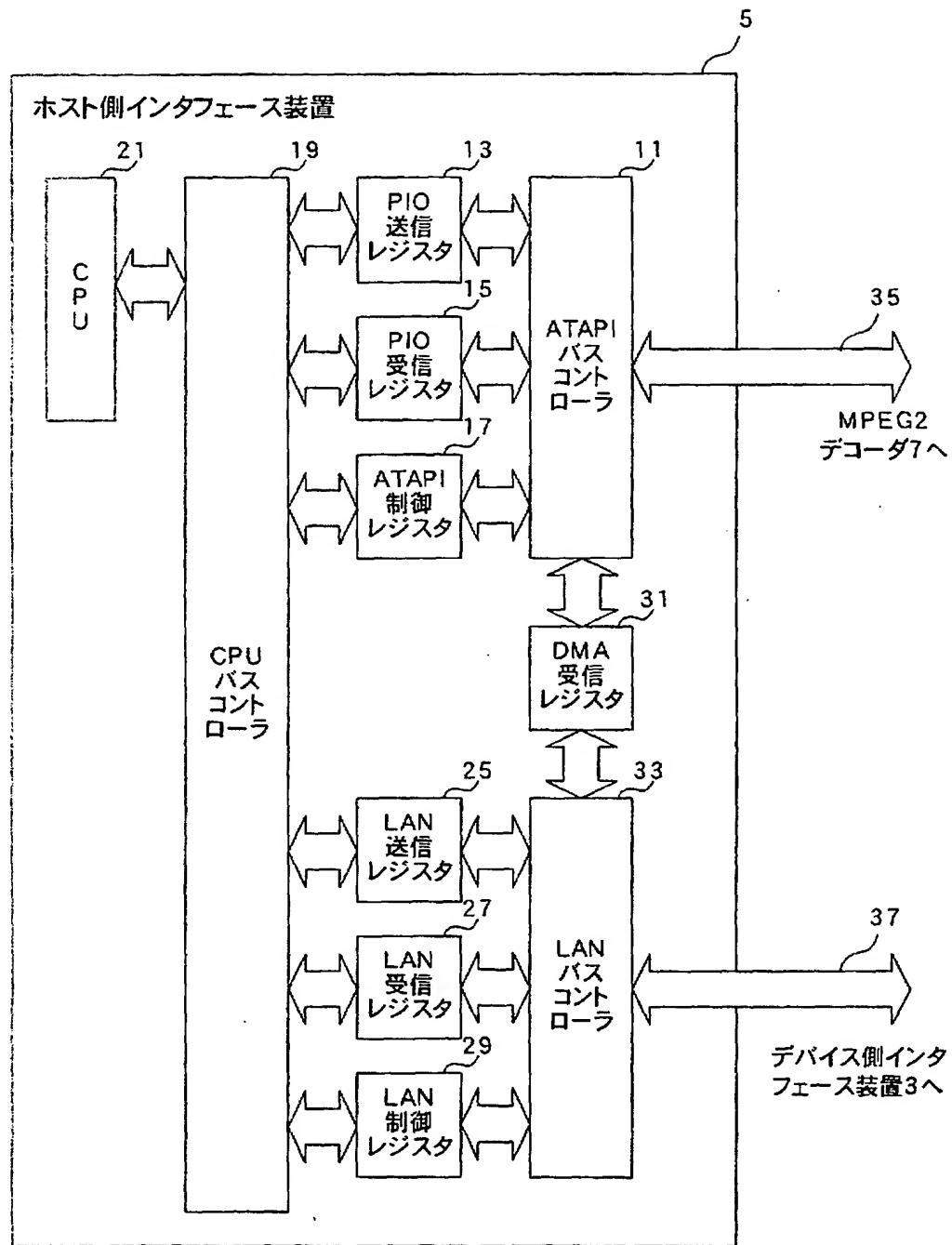
【書類名】

図面

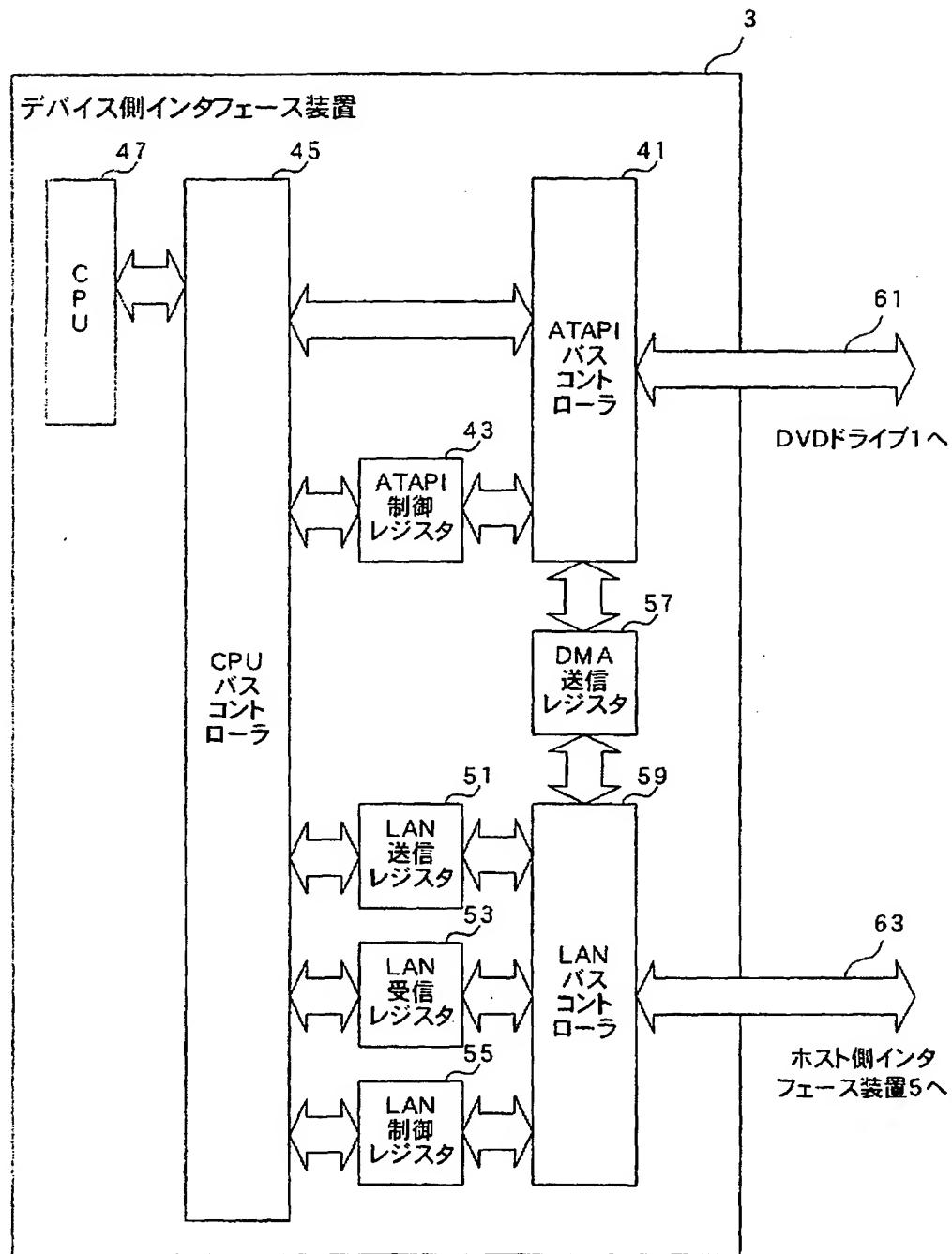
【図 1】



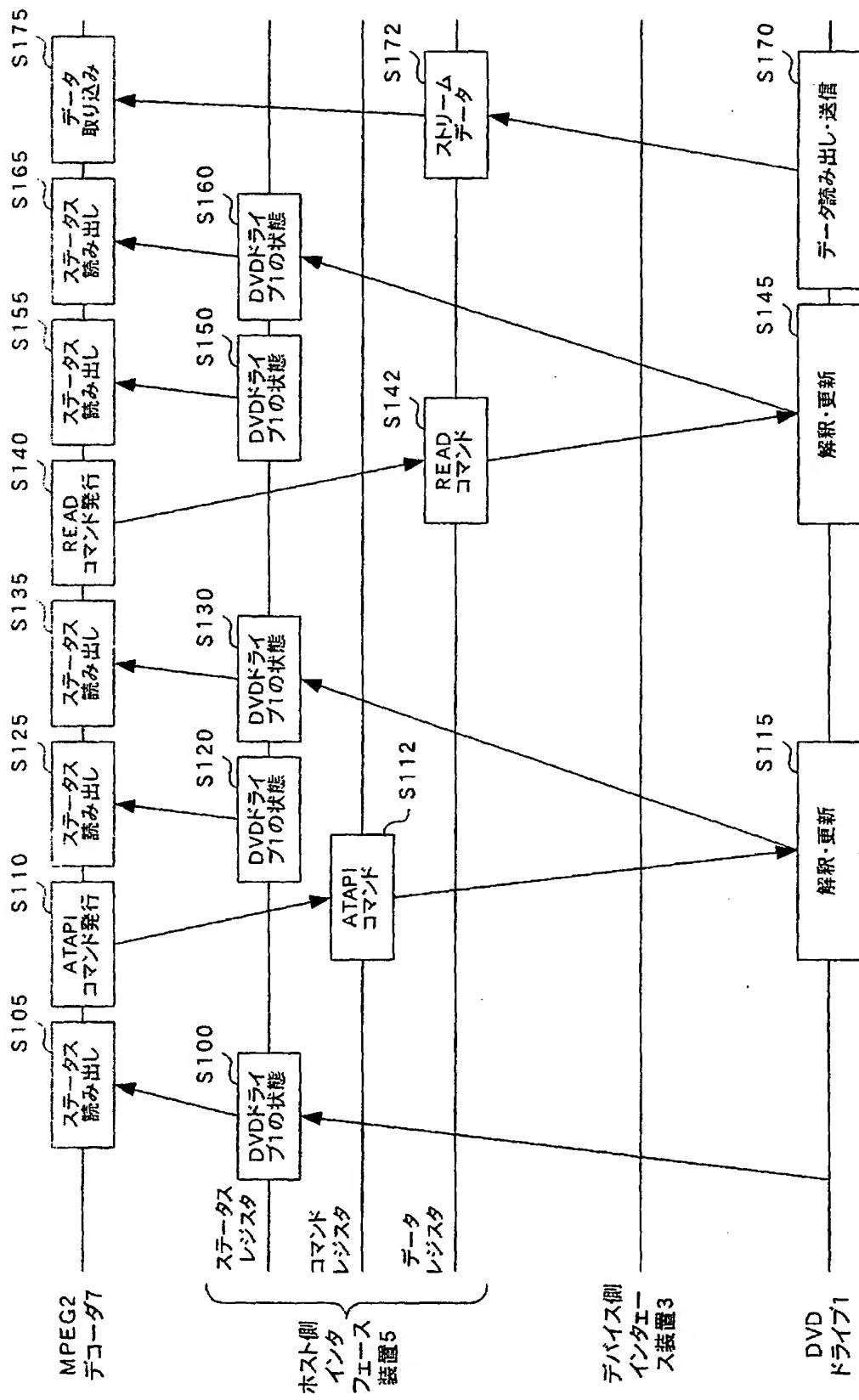
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 ATA/ATAPIインターフェースを採用するホスト装置とデバイス装置との間の接続可能距離を延ばし、ホスト装置とデバイス装置の配置の自由度を上げることができるホスト側インターフェース装置やデバイス側インターフェース装置等を提供する。

【解決手段】 LANバスコントローラ33が受信した高速LANのプロトコルのデータを、CPU21がATAPIプロトコルに変換すると共にPIO送信レジスタ13がそのデータを一旦格納し、ATAPIバスコントローラ11がPIO送信レジスタ13からそのデータ読み出してホスト装置に送信する。このように受信は高速LANのプロトコルであるため、ATAPI規格の通信可能距離の制限に縛られない。また、PIO送信レジスタ13が受信データを一旦格納するため、その格納したデータを利用してATAPI規格の通信タイミングを維持させることもできる。

【選択図】 図2

特願 2002-251471

出願人履歴情報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日
[変更理由] 名称変更
住 所 愛知県刈谷市昭和町1丁目1番地
氏 名 株式会社デンソー

特願 2002-251471

出願人履歴情報

識別番号 [000004695]

1. 変更年月日 1990年 8月 7日

[変更理由] 新規登録

住 所 愛知県西尾市下羽角町岩谷14番地
氏 名 株式会社日本自動車部品総合研究所